



-1-

Japanese Patent No. 3007745 (Tokukou 3007745)

(Date of Registration : November 26, 1999)

(A) Relevance to Claims

The following is a translation of passages related to claims 1, 2, 3, 5, 9, 10, 11, 13, 15, 19, and 22 of the present invention.

(B) Translation of Relevant Passages

RECEIVED

JAN 02 2002

Technology Center 2600

[0014]

[Means to Solve the Problems] According to the invention, ..., reference voltages produced by the reference voltage source include (i) a voltage supplied external to the LSI and (ii) a voltage derived by dividing the interval of at least two voltages supplied external to the LSI circuit by a voltage divider circuit disposed in the same LSI circuit as a driver circuit. The reference voltage is supplied to multiple driver circuits in the same LSI circuit and a voltage selected by the reference voltage selector circuit is supplied to a display through a buffer amplifier with a large input impedance and a small output impedance.

3007745

[0016] According to the invention, ..., reference voltages produced by the reference voltage source include (i) a voltage supplied external to the LSI and (ii) a voltage derived by dividing the interval of at least two voltages supplied external to the LSI circuit by a voltage divider circuit disposed in the same LSI circuit as a driver circuit. The reference voltage is supplied to multiple driver circuits in the same LSI circuit. The reference voltage selector circuit outputs a voltage corresponding to a halftone, either by selecting a single reference voltage in accordance with a digital video signal representing a halftone and passing the voltage on or by selecting two voltages and deriving an intermediary voltage between the two by voltage division. The voltage selected by the reference voltage selector circuit is supplied to a display through a buffer amplifier with a large input impedance and a small output impedance.

[0017]

[Effects] A current amplifier has a large input impedance and a small output impedance; a small current supplied to the input causes on the output a current large enough to drive the display. Therefore, the reference voltage source does not need to supply much current. A power supply with a small capacity will suffice.

[0021] Since only a small current flows through the reference voltage selector circuit intervened between the reference voltage source and the current amplifier, little voltage drop occurs even when an analog switch or other elements used have a high impedance. Output voltage is little affected.

(19) 日本国特許庁 (J P) (12) 特 許 公 報 (B 2)

(11) 特許番号
特許第3007745号
(P3007745)

(45) 発行日 平成12年2月7日(2000.2.7)

(20) 登録日 平成11年11月26日(1999.11.26)

(51) Int.Cl.⁷

G 0 2 F 1 / 1 3 3

F 1

G 0 2 F 1 / 1 3 3

5 2 0

5 2 0

5 2 0

5 2 0

5 2 0

5 2 0

5 2 0

5 2 0

5 2 0

5 2 0

5 2 0

5 2 0

5 2 0

RECEIVED

JAN 02 2002

Technology Center 2600

請求項の数2(全9頁)

(21) 出願番号	特願平4-67392	(73) 特許権者	00005049 シャープ株式会社
(22) 出願日	平成4年3月25日(1992.3.25)	(72) 発明者	大塚府大阪府所信野区長池町22番22号 岡田 久夫
(65) 公開番号	特開平5-273520	(72) 発明者	大塚府大阪府所信野区長池町22番22号 シャープ株式会社
(43) 公開日	平成5年10月22日(1993.10.22)	(72) 発明者	大塚府大阪府所信野区長池町22番22号 シャープ株式会社
審査請求日	平成8年1月26日(1996.1.26)	(72) 発明者	大塚府大阪府所信野区長池町22番22号 シャープ株式会社
審判番号	平10-10351	(72) 発明者	大塚府大阪府所信野区長池町22番22号 シャープ株式会社
審判請求日	平成10年7月6日(1998.7.6)	(72) 発明者	大塚府大阪府所信野区長池町22番22号 シャープ株式会社

(74) 代理人
100103295
弁護士 小池 隆 関 (外1名)合 組 体
審判長 高橋 美実
審判官 東 誠 秀則
審判官 横 林 秀一郎

発明員に続く



(54) 発明の名称 表示装置の駆動回路

(51) 特許請求の範囲

【請求項1】 階調を示すデジタルの映像信号に依りて基準電圧の基準電圧を選択して出力する基準電圧選択回路を備えた表示装置の駆動回路において、
該基準電圧によって生成される基準電圧は、L.S.Iの外部から供給される電圧と同一のL.S.Iの内部から供給される電圧の少なくとも2つの電圧を分圧して得られる電圧とからなり、該基準電圧は同一のL.S.Iの複数の駆動回路に供給されると共に、該基準電圧選択回路によって選択される電圧は、入力インピーダンスが大きく出力インピーダンスが小さいバッファアンプを介して表示装置に供給されることを特徴とする表示装置の駆動回路。

【請求項2】 階調を示すデジタルの映像信号に依り

て基準電圧の基準電圧を選択して出力する基準電圧選択回路を備えた表示装置の駆動回路において、
該基準電圧によって生成される基準電圧は、L.S.Iの外部から供給される電圧と同一のL.S.Iの内部から供給される電圧の少なくとも2つの電圧を分圧して得られる電圧とからなり、該基準電圧は同一のL.S.Iの複数の駆動回路に供給されると共に、
該基準電圧選択回路は、階調を示すデジタルの映像信号に依りて1つの基準電圧を選択した場合にこれらの電圧を分圧した1つの電圧を出力することにより、各階調に对应する出力電圧を出力し、該基準電圧選択回路によって選択される電圧は、入力インピーダンスが大きく出力インピーダンスが小さいバッファアンプを介して表示装置に供給されることを特徴とする表示装置の駆動回路。

面に供給されることを特徴とする表示装置の駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、階調を示すデジタルの映像信号をD/A変換して階調ごとに電圧の異なるアナログ駆動信号を出力する表示装置の駆動回路に関する。

【0002】

【従来の技術】 液晶表示装置等のように応答速度の違いにより、各階調ごとにデジタリに送られて来る映像信号をソースドライバL.S.Iの各駆動回路が一周期間保持して出力し続けることが出来るようになっている。

【0003】 カラー液晶表示装置に使用されるこのよう

なソースドライバL.S.Iの構成を図7に示す。
【0004】 R.G.Bの各色の映像信号は、それぞれ3ビットずつのデジタルデータによって構成され、これによって各色ごとに8段階の階調を表示できるようになっている。また、この3ビットずつのデジタルデータは、R.G.Bの各色ごとに3ビットずつ順次デジタリに送られて来る。

【0005】 駆動回路1は、上記映像信号におけるR.G.Bの3色に对应して3個ずつ設けられ、図ではこれらを4.0組、即ち12.0個の回路を示している。各駆動回路1は、サンプリングパルス「T_{SP}」によって3ビットのデジタルデータをそれぞれサンプリングし保持すると共に、出力パルスO_Eによってこの3ビットのデジタルデータをD/A変換し、8段階の基準電圧V₀〜V₇のいずれかの電圧を有するアナログ駆動信号O₀〜O₇に変換して出力することが出来るようになっている。

【0006】 上記サンプリングパルス「T_{SP}」は、図示しないクロック回路によって一定周期ごとに発生される4.0個のパルスであり、この一定周期の間に順次異なるタイミングで出力されるそれぞれのサンプリングパルス「T_{SP}」によって、各駆動回路1は入力されるようになっている。従って、各駆動回路1では、このサンプリングパルス「T_{SP}」によってR.G.Bの各色のデジタルデータをサンプリングし保持する。

【0007】 また、上記出力パルスO_Eは、サンプリングパルス「T_{SP}」の1周期ごとに発生されるパルスである。従って、全ての駆動回路1は、それぞれ出力パルスO_Eによって一斉にアナログ駆動信号O₀〜O₇に変換し、この駆動信号O₀〜O₇の出力を次の出力パルスO_Eが変えられるまで保持することが出来る。

【0008】 上記ソースドライバL.S.Iにおける第n番目の駆動回路O_nを出力する従来の駆動回路1を図8に示す。

(11)

【0009】 3ビットのデジタルデータD₀〜D₂は、サンプリングクロック「1」に力入れられ、サンプリングパルス「T_{SP}」の立ち上がり時にラッチされるようになっている。また、このサンプリングクロック「1」にラッチされたデジタルデータD₀〜D₂は、出力パルスO_Eの立ち上がり時にホールドライバアンプ「1」にラッチされるようになっている。従って、このホールドライバアンプ「1」では、一旦ラッチしたデジタルデータD₀〜D₂を次の出力パルスO_Eの立ち上がり時まで出力し続けることができ、サンプリングクロック「1」は、この間に次のデジタルデータD₀〜D₂のサンプリングを行うことが出来る。

【0010】 上記ホールドライバアンプ「1」が出力するデジタルデータD₀〜D₂は、デコーダ「13」に力入れられるようになっている。デコーダ「13」は、3ビットのデジタルデータD₀〜D₂を使用して、8つの出力のうち1つのみを選択する回路である。そして、このデコーダ「13」の8つの出力は、8個のアナログスイッチ「14」の駆動入力にそれぞれ接続されている。従って、デコーダ「13」は、入力されたデジタルデータD₀〜D₂の値に对应する1個のアナログスイッチ「14」のみを選択して導通させることになる。また、各アナログスイッチ「14」は、それぞれ8段階の電圧を有する基準電圧V₀〜V₇が力入れられると共に、これら各アナログスイッチ「14」の出力が一括されて駆動回路1の出力を構成するようになっている。従って、デコーダ「13」によって1個のアナログスイッチ「14」が選択されて導通すると、このアナログスイッチ「14」を介していずれか1つの基準電圧V₀〜V₇のみが駆動回路1から出力されることになり、これによってD/A変換したアナログ駆動信号O₀の出力を得ることが出来る。

【0011】

【発明が解決しようとする課題】 ところが、上記従来の駆動回路1では、基準電圧V₀〜V₇がアナログスイッチ「14」を介してそのまま表示装置に送られるので、この基準電圧V₀〜V₇が供給する電源や直流電圧を供給することになる。しかも、液晶表示装置等では、上記のように多数の駆動回路1が一斉にアナログ駆動信号O₀を出力するため、この駆動電流が大きくなるものとなる。

【0012】 このため、従来の駆動回路1では、基準電圧V₀〜V₇における8段階の電圧ごとに大容量の電流が必要となり、液晶回路が複雑かつ高価なものになるという問題があった。しかも、映像信号の階調を示すデジタルデータ「1」のビット数が増加すれば、この基準電圧の段階数も相対的に増大する。従って、より高画質階調を有する映像信号を取り扱う駆動回路で、大容量の電流がさらに多数必要となるだけでなく、これらの駆動回路を複雑化した場合に、外部から供給する電源の入力端子数が多くなり、実質的にL.S.Iの製造が不可能になるという問題も生じていた。

(5)

ことができる。

【0035】図2及び図3に本発明の第1実施例を示す。図2は駆動回路のブロック図、図3は図2の駆動回路を組み合わせたソースドライバLSIのブロック図である。なお、上記図7、図8及び図1に示した従来例及び変造図と同様の機能を有する構成部品には同じ番号を付記する。

【0036】本実施例は、カラー液晶表示装置のソースドライバLSIに用いられ、4ビットのデジタルデータを16段階のアナログ駆動信号に変換して出力する駆動回路1について説明する。

【0037】4ビットのデジタルデータD₀〜D₃は、サンプリングクロックフリップ1及びホールドフリップフロッツ12を介してデコーダ13にバラレルに入力されるようになっていて、サンプリングフリップフロッツ11及びホールドフリップフロッツ12は、それぞれ4個のDフリップフロッツをバラレルに配置した回路であり、また、デコーダ13も4ビットのデジタルデータD₀〜D₃を復号し16の出力を選択する回路であるという点を除き、上記図1に示した変造図と同様の構成である。

【0038】上記デコーダ13の16の出力は、16個のアナログスイッチ14の制御入力にそれぞれ接続されている。この16個のアナログスイッチ14の入力には、それぞれ分圧回路2から供給される16段階の基準電圧V₀〜V₁₅が入力されるようになっている。また、この16個のアナログスイッチ14の出力は、一括されて電流増幅器15の入力に接続されている。このアナログスイッチ14及び電流増幅器15も、図1に示した第1実施例と同様のものである。そして、この電流増幅器15の出力がアナログ駆動信号O₀として駆動回路1から出力されることになる。

【0039】上記基準電圧V₀〜V₁₅は、各電圧がV₀<V₁<V₂<…<V₁₄<V₁₅の関係にあるD/A変換のためのアナログ基準電圧であり、外部の電源から供給される5種類の電圧V₀、V₄、V₈、V₁₂、V₁₅に基づき分圧回路2によって生成されたものである。分圧回路2は、15個の抵抗Rを直列に接続し、各抵抗R間のノード及びこれらの直列接続された抵抗Rの両端のノードにそれぞれ電流増幅器21を接続した回路である。そして、外部からの5種類の電圧V₀、V₄、V₈、V₁₂、V₁₅は、それぞれ電圧V₀、V₄の間、電圧V₄、V₈の間及び電圧V₈、V₁₂の間に4個の抵抗Rを介すると共に、電圧V₁₂、V₁₅の間に3個の抵抗Rを介するように、これら15個の抵抗Rの直列回路に入力されるようになっていて、また、この分圧回路2における各電流増幅器21の出力が上記基準電圧V₀〜V₁₅として、駆動回路1に供給されることになる。

【0040】ソースドライバLSIは、図3に示すように、映像信号におけるRGBの3色にそれぞれ対応して、

上記駆動回路1を3個ずつ1組とし、合計で40組、即ち120個構成されている。RGBの各色の映像信号は、それぞれ1ビットずつのデジタルデータによって構成され、これによって各色ごとに16段階の階調を表示できるようにになっている。また、この4ビットずつのデジタルデータは、RGBの各色ごとにそれぞれの駆動回路1に12ビットずつ順次シフトに送られるようになっている。

【0041】サンプリングクロックTSMP〜TSMPHは、図示しないシフトクロック回路によって一定周期ごとに発生される40個のバースであり、この一定周期の間に順次異なるサイミングで出力されるそれぞれのサンプリングクロックTSMP〜TSMPHがある組の3個の駆動回路1に入力されるようになっていて、従って、各組の駆動回路1では、このサンプリングクロックTSMP〜TSMPHによってRGBの各色のデジタルデータを4ビットずつ順にサンプリングし保持する。

【0042】また、出力バースOEは、サンプリングバースTSMPH〜TSMPHの1期間ごとに発生されるバースである。従って、全ての駆動回路1は、それぞれのサイミングでサンプリングしたデジタルデータを、この出力バースOEによって一斉にアナログ駆動信号O₀〜O₁₅に変換し、この駆動信号O₀〜O₁₅の出力を次の出力バースOEが淹せられるまで保持することができる。

【0043】分圧回路2は、全ての駆動回路1に共通して1個だけ設けられ、図2に示すように外部の電源から供給される電圧V₀、V₄、V₈、V₁₂、V₁₅に基づいて16段階の基準電圧V₀〜V₁₅を生成し、電流増幅器21を介して各駆動回路1に供給するようになっている。

【0044】上記構成の駆動回路1の動作を説明する。

【0045】図2に示すように、デジタルデータD₀〜D₃は、サンプリングクロックフリップ11でサンプリングされホールドフリップフロッツ12で保持されて、デコーダ13及びアナログスイッチ14によってD/A変換され、電流増幅器15を介してアナログ駆動信号O₀として駆動回路1から出力される。そして、入力されるデジタルデータD₀〜D₃が4ビットであり、出力されるアナログ駆動信号O₀が16段階の階調を有する点以外は、上記図1に示した変造図の場合と同様である。

【0046】ただし、本実施例では、外部の電源が供給する5種類の電圧V₀、V₄、V₈、V₁₂、V₁₅に基づいて16段階の基準電圧V₀〜V₁₅を生成する。即ち、基準電圧V₀、V₄、V₈、V₁₂、V₁₅は、外部からの電圧をそのまま出力したものであるが、基準電圧V₀〜V₁₅は、V₀〜V₄、V₄〜V₈、V₈〜V₁₂、V₁₂〜V₁₅は、それぞれ4個の抵抗Rによって分圧されたものとなる。また、基準電圧V₁₅は、3個の抵抗Rによって分圧されたものとなる。従って、これら16段階の各基準電圧V₀〜V₁₅は、5種類の電圧V₀、V₄、V₈、V₁₂、V₁₅に基づきそれぞれ

表1の値を示すことになる。

【0047】

【表1】

10進数	2進数	電圧
0	0 0 0 0	V ₀
1	0 0 0 1	$\frac{3V_0+V_4}{4}$
2	0 0 1 0	$\frac{V_0+V_4}{2}$
3	0 0 1 1	$\frac{V_0+3V_4}{4}$
4	0 1 0 0	V ₄
5	0 1 0 1	$\frac{3V_4+V_8}{4}$
6	0 1 1 0	$\frac{V_4+V_8}{2}$
7	0 1 1 1	$\frac{V_4+3V_8}{4}$
8	1 0 0 0	V ₈
9	1 0 0 1	$\frac{3V_8+V_{12}}{4}$
10	1 0 1 0	$\frac{V_8+V_{12}}{2}$
11	1 0 1 1	$\frac{V_8+3V_{12}}{4}$
12	1 1 0 0	V ₁₂
13	1 1 0 1	$\frac{2V_{12}+V_{15}}{3}$
14	1 1 1 0	$\frac{V_{12}+2V_{15}}{3}$
15	1 1 1 1	V ₁₅

【0048】そして、このようにして生成された基準電圧V₀〜V₁₅は、それぞれ電流増幅器21を介して各アナログスイッチ14に入力されることになる。

【0049】ここで、上記基準電圧V₀〜V₁₅は、分圧回路2の電流増幅器21と駆動回路1の電流増幅器15を介して出力されることになる。従って、電流増幅器21の入力にはほとんど電流を供給することなく、電流増幅器15の出力から大きな電流を取り出すことができるので、各基準電圧V₀〜V₁₅を分圧回路2の抵抗Rで分圧して生成することが可能となる。

【0050】この結果、本実施例の点には、基準電圧の電流増幅器が小さなもので足りるだけでなく、外部の電源から5種類の電圧V₀、V₄、V₈、V₁₂、V₁₅を供給するだけで、ソースドライバLSI内部で16段階の基準電圧V₀〜V₁₅を生成することができようになる。また、LSIの入力増子放を削減することができるようになる。即ち、図1に示した変造図では、8段階の基準電圧V₀〜V₇で足りたが、本実施例のように16段階の

(6)

基準電圧V₀〜V₁₅を使用する場合には、そのままではこの基準電圧V₀〜V₁₅の入力のために16の入力増子が必要となる。そして、さらにデジタルデータのビット数を増やすと、階調数も指数的に増加することになり、それに応じた数の入力増子設けることは、現実にはほとんど不可能となる。このため、本実施例のようにして外部から電流が供給する電圧の個数を少なくすることができれば、入力増子数に節約されることなく、多数ビットによる豊富な階調の映像信号を取り扱うソースドライバLSIを作成できるようになる。

【0051】なお、本実施例では、分圧回路2における各基準電圧V₀〜V₁₅の電流増幅器15の入力インピーダンスが十分に大きい場合には、これらの電流増幅器21を省略することもできる。

【0052】図4及び図5に本発明の第2実施例を示す。図4は駆動回路のブロック図、図5及び図6はそれぞれアナログスイッチのON時における等価回路である。なお、上記図7、図8及び図1〜図3に示した従来例、変造図及び図5と同様の機能を有する構成部品には同じ番号を付記する。

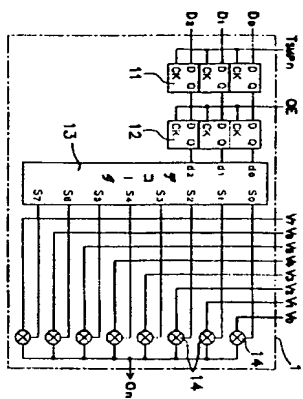
【0053】本実施例は、図1に示した変造図と同様に、カラー液晶表示装置のソースドライバLSIに用いられ、4ビットのデジタルデータを8段階のアナログ駆動信号に変換して出力する駆動回路1について説明する。

【0054】3ビットのデジタルデータD₀〜D₂は、図1に示した変造図と同様に、サンプリングクロックフリップ11及びホールドフリップフロッツ12を介してデコーダ13にバラレルに入力されるようになっている。

【0055】ただし、本実施例のデコーダ13は、5つの出力によって構成され、デジタルデータD₀〜D₂の値に対応して出力を1つ又は2つだけ“1”とするようになっている。従って、このデコーダ13の出力に制御入力が接続されるアナログスイッチ14も5個設けられ、各アナログスイッチ14には、5種類の基準電圧V₀、V₄、V₈、V₁₂、V₁₅がそれぞれ入力されるようになっている。そして、デジタルデータD₀〜D₂がデコーダ13に入力されると、1個又は2個のアナログスイッチ14が導通して5種類の基準電圧V₀、V₄、V₈、V₁₂、V₁₅のいずれか1又は2個線を出力することになる。

【0056】また、上記各アナログスイッチ14は、ON抵抗が共に抵抗Rとして等しくなるように形成されているが、基準電圧V₀を入力するアナログスイッチ14のみON抵抗が2倍の抵抗値R2となるように形成されている。そして、この5個のアナログスイッチ14の出力は、一括されて電流増幅器15の入力に接続され、この電流増幅器15の出力がアナログ駆動信号O₀として

【8】



(56) 参考文献

特開	平 4 - 107594 (J P, A)
特開	平 3 - 221589 (J P, A)
特開	平 2 - 130586 (J P, A)

特開 平2-130585 (JP, A)